

68-28665 (4)

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 10197572
PUBLICATION DATE : 31-07-98

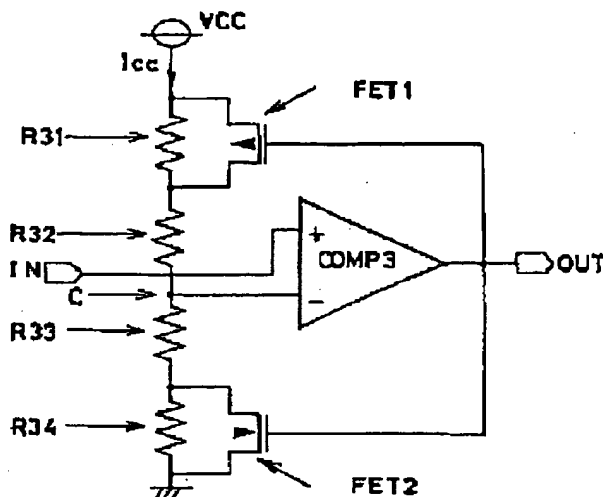
APPLICATION DATE : 07-01-97
APPLICATION NUMBER : 09000939

APPLICANT : NISSAN MOTOR CO LTD;

INVENTOR : KIYOTA SHIGEYUKI;

INT.CL. : G01R 19/165 H03K 5/08

TITLE : HYSTERESIS COMPARATOR



ABSTRACT : PROBLEM TO BE SOLVED: To reduce electric power consumption by respectively connecting short-circuit means to a power source side resistance and a grounding side resistance of a reference power source generating circuit, short-circuiting the short-circuit means by a short-circuit signal from a comparator, and generating hysteresis.

SOLUTION: An FET 1 and an FET 2 being short-circuit means are respectively connected to both ends of a power source side resistance R31 and a grounding side resistance R34 of a reference voltage generating circuit, and both gates of the FETs 1 and 2 are connected to the output end of a comparator 3. By constituting these in this way, the FETs 1 and 2 mutually and inversely operate according to output of the comparator 3, and generate hysteresis by short-circuiting respective both ends of resistances 31 and 34. Therefore, a constant current source to generate the hysteresis is not required, and since there is no large change in a resistance value caused by generation of the hysteresis, electric power consumption can be reduced.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-197572

(43) 公開日 平成10年(1998) 7月31日

(51) Int.Cl.⁶

識別記号

F I

G 0 1 R 19/165

G 0 1 R 19/165

B

H 0 3 K 5/08

H 0 3 K 5/08

J

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号

特願平9-939

(22) 出願日

平成9年(1997) 1月7日

(71) 出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72) 発明者 斉藤 浩徳

神奈川県横浜市神奈川区宝町2番地 日産

自動車株式会社内

(72) 発明者 清田 茂之

神奈川県横浜市神奈川区宝町2番地 日産

自動車株式会社内

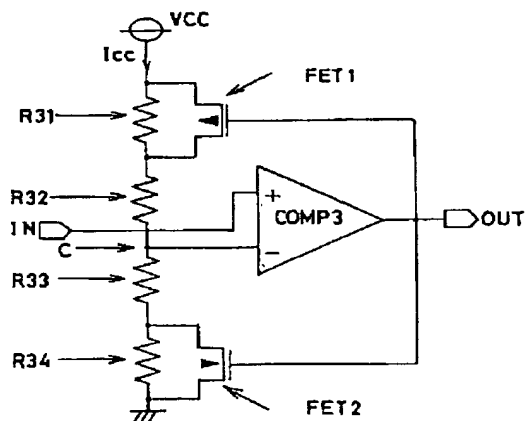
(74) 代理人 弁理士 笹島 富二雄

(54) 【発明の名称】 ヒステリシスコンパレータ

(57) 【要約】

【課題】 ヒステリシスコンパレータにおいて、低消費電力化を図る。

【解決手段】 基準電圧発生回路の電源側抵抗R31、接地側抵抗R34の両端にFET1, 2を接続し、COMP (コンパレータ) 3の出力端をFET1, 2のゲートに接続する。FET1, 2は、COMP (コンパレータ) 3の出力信号に応じて互いに逆動作をし、夫々、電源側抵抗R31、接地側抵抗R34を短絡する。これにより、ヒステリシスが発生する。



【特許請求の範囲】

【請求項1】複数の抵抗を用いて電源電圧を分圧し、基準電圧を発生させる基準電圧発生手段と、短絡信号が入力されたとき、電源側の抵抗を短絡する第1の短絡手段と、短絡信号が入力されたとき、接地側の抵抗を短絡する第2の短絡手段と、被測定信号及び基準電圧を入力し、被測定信号の信号レベルと基準電圧との比較結果に応じて短絡信号を第1の短絡手段又は第2の短絡手段に出力するコンパレータと、を備えて構成されたことを特徴とするヒステリシスコンパレータ。

【請求項2】前記第1の短絡手段により短絡される電源側の抵抗と、第2の短絡手段により短絡される接地側の抵抗と、は同じ抵抗値を有していることを特徴とする請求項1に記載のヒステリシスコンパレータ。

【請求項3】前記第1の短絡手段及び第2の短絡手段は、電界効果トランジスタであることを特徴とする請求項1又は請求項2に記載のヒステリシスコンパレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ヒステリシスコンパレータに関し、特にヒステリシスコンパレータの低消費電力化に関する。

【0002】

【従来の技術】従来より、コンパレータにヒステリシスを発生させる技術が知られている（特開昭58-182

$$I_{ref} = V_{cc} / (R_{11} + R_{12})$$

$$V_{hys} = 2 \times R_{11} \times I / (R_{11} + R_{12})$$

$$I_{hys} = I_{ccH} - I_{ref} = R_{11} \times I / (R_{11} + R_{12})$$

$$= (1 / (2 \times R_{12})) \times V_{hys}$$

$$I_{hys} = I_{ccL} - I_{ref} = R_{12} \times I / (R_{11} + R_{12})$$

$$= (1 / (2 \times (R_{11}))) \times V_{hys}$$

このように、かかる従来のヒステリシスコンパレータでは、定電流源を用いて基準電圧にヒステリシス特性を発生させている。

【0006】ところで、ヒステリシスコンパレータは、乾電池、バッテリー等を電源とする集積回路等にも多く組み込まれるが、かかるヒステリシスコンパレータでは、低消費電力化が要求される。従来のヒステリシスコンパレータでは、図4に示すように、ヒステリシス特性を有さないコンパレータに比べて消費電流 I_{cc} が増加する。そして、この消費電流増加分 I_{hys} は、ヒステリシス幅 V_{hys} に比例して増加する。

【0007】かかる点を改善したヒステリシスコンパレータとして、図5に示すようなものがある。このヒステリシスコンパレータは、スイッチ S_2 を1つだけ備えており、このスイッチ S_2 は、COMP2の出力がHiレベルのときはON、LoレベルのときはOFFとなる。

【0008】被測定信号の信号レベルが低しきい値以下

560号公報等参照）。図3は、かかる従来のヒステリシスコンパレータの回路構成を示す。このヒステリシスコンパレータでは、スイッチ S_{11} と S_{12} とがコンパレータ（以後、「COMP」と記す）1の出力に応じて互いに逆動作する。被測定信号は入力端子 IN を介してCOMP1に入力される。

【0003】入力端子 IN を介して入力された被測定信号の信号レベルが低しきい値以下（Loレベル）であるとき、COMP1の出力はHiレベルとなり、スイッチ S_{11} はON、 S_{12} はOFFとなる。そして、定電流源 CS_{11} から抵抗 R_{12} には定電流 I が供給され、COMP1の基準電圧（接続点Aの電圧） V_A は、次式で表される高しきい値 V_{thH} となって安定状態となる。

$$V_{thH} = R_{12} \times (V_{cc} + R_{11} \times I) / (R_{11} + R_{12})$$

$$I_{ccH} = (V_{cc} + R_{11} \times I) / (R_{11} + R_{12})$$

次に被測定信号の信号レベルが高しきい値以上（Hiレベル）に変化すると、COMP1の出力はLoレベルとなり、スイッチ S_{11} はOFF、スイッチ S_{12} はONとなる。定電流源 CS_{11} から抵抗 R_{12} への定電流供給は遮断され、定電流源 CS_{12} により抵抗 R_{11} には定電流 I が供給される。基準電圧 V_A は次式で表される低しきい値 V_{thL} となって安定状態となる。

$$V_{thL} = R_{12} \times (V_{cc} - R_{11} \times I) / (R_{11} + R_{12})$$

$$I_{ccL} = (V_{cc} - R_{11} \times I) / (R_{11} + R_{12})$$

尚、ヒステリシスがないときの消費電流 I_{ref} 、ヒステリシスを付加したときの消費電流増加分 I_{hys} は、次式によって表される。

(COMP出力Hiの時)

(COMP出力Loの時)

であるとき、COMP2の出力はLoレベルとなり、スイッチ S_2 はOFFとなり、COMP2の基準電圧（接続点Bの電圧） V_B は、次式で表される高しきい値 V_{thH} となって安定状態となる。

$$V_{thH} = V_{cc} \times (R_{22} + R_{23}) / (R_{21} + R_{22} + R_{23})$$

$$I_{ccH} = V_{cc} / (R_{21} + R_{22} + R_{23})$$

次に被測定信号の信号レベルが、高しきい値以上に変化したとき、COMP2の出力はHiレベルとなり、スイッチ S_2 はONとなり、基準電圧 V_B は、次式で表される低しきい値 V_{thL} となって安定状態となる。

$$V_{thL} = V_{cc} \times R_{22} / (R_{21} + R_{22})$$

$$I_{ccL} = V_{cc} / (R_{21} + R_{22})$$

尚、ヒステリシス回路がない場合の消費電流 I_{ref} 、ヒステリシス幅 V_{hys} 、及びヒステリシス発生回路を設けたことによる消費電流増加分 I_{hys} は次式によって表される。

$$I_{ref} = V_{cc} / (R_{21} + R_{22} + R_{23})$$

$$V_{\text{hys}} = R_{21} \times R_{23} \times V_{\text{cc}} / ((R_{21} + R_{22} + R_{23}) \times ((R_{21} + R_{22}))$$

$$I_{\text{hys}} = I_{\text{ccH}} - I_{\text{ref}} = 0 \quad (\text{COMP出力} H_i \text{時})$$

$$I_{\text{hys}} = I_{\text{ccL}} - I_{\text{ref}} = (1/R_{21}) \times V_{\text{hys}} \quad (\text{COMP出力} L_o \text{時})$$

このように、図5に示すようなヒステリシスコンパレータでは、ヒステリシスを発生させるための定電流源を必要とせず、COMP出力 H_i の時の消費電力増加分がカットされ、低消費電力化が図られている。

【0011】

【発明が解決しようとする課題】しかしながら、かかる従来のヒステリシスコンパレータでも、基準電圧発生回路の分圧抵抗の分圧比を変えたとき（COMP出力 L_o の時）、同時に、分圧抵抗の合成抵抗も大きく低下するので、図6に示すように、ヒステリシス発生時に消費電流が増加してしまう。そして、この消費電流はヒステリシス幅に比例して増加する。

【0012】従って、乾電池、バッテリー等を電源とする集積回路等に組み込むようなヒステリシスコンパレータでは、さらに低消費電力化を図る必要がある。本発明はこのような従来の課題に鑑みてなされたもので、低消費電力化が可能なヒステリシスコンパレータを提供することを目的とする。

【0013】

【課題を解決するための手段】このため、請求項1の発明にかかるヒステリシスコンパレータは、複数の抵抗を用いて電源電圧を分圧し、基準電圧を発生させる基準電圧発生手段と、短絡信号が入力されたとき、電源側の抵抗を短絡する第1の短絡手段と、短絡信号が入力されたとき、接地側の抵抗を短絡する第2の短絡手段と、被測定信号及び基準電圧を入力し、被測定信号の信号レベルと基準電圧との比較結果に応じて短絡信号を第1の短絡手段又は第2の短絡手段に出力するコンパレータと、を備えて構成されている。

【0014】かかる構成によれば、電源電圧が基準電圧発生手段の複数の分圧抵抗によって分圧され、これにより基準電圧が発生する。被測定信号は、コンパレータによりこの基準電圧と比較される。そして、被測定信号の信号レベルと基準電圧との比較結果に応じて短絡信号がコンパレータから第1の短絡手段又は第2の短絡手段に出力される。従って、第1の短絡手段と第2の短絡手段とは、逆動作となり、第1の短絡手段に短絡信号が出力されたときは、第1の短絡手段により電源側の抵抗が短絡されて電源側の抵抗値が小さくなり、第2の短絡手段に短絡信号が出力されたときは、接地側の抵抗が短絡されて接地側の抵抗値が小さくなり、これにより、基準電圧が変化してヒステリシスが発生する。また、電源側、接地側の抵抗の導通・短絡が切り換えられるだけなので、ヒステリシス発生に伴う大きな電流変化が生じなくなり、ヒステリシス幅が変わっても消費電流はあまり変化しない。

【0015】請求項2の発明にかかるヒステリシスコンパ

レータでは、前記第1の短絡手段により短絡される電源側の抵抗と、第2の短絡手段により短絡される接地側の抵抗と、は同じ抵抗値を有している。かかる構成によれば、第1の短絡手段、第2の短絡手段による短絡抵抗が切り換えられても、電源側、接地側の抵抗が同一の抵抗値を有しているので、動作状態に関わりなく消費電流は一定に保持される。

【0016】請求項3の発明にかかるヒステリシスコンパレータでは、前記第1の短絡手段、第2の短絡手段は、電界効果トランジスタである。かかる構成によれば、電界効果トランジスタにより短絡、短絡解除の切り換えが素早く行われる。

【0017】

【発明の効果】請求項1の発明にかかるヒステリシスコンパレータによれば、ヒステリシスを発生させるための定電流源を必要とせず、ヒステリシス発生に伴う大きな消費電流の増加もない。さらに、ヒステリシス幅が増加しても消費電流の増加を殆ど無視することが出来、低消費電力化を図ることができる。よって、乾電池、バッテリー等を電源とする集積回路に使用するには、極めて効果的である。

【0018】請求項2の発明にかかるヒステリシスコンパレータによれば、動作状態に関係なく消費電流を一定に保つことができる。請求項3の発明にかかるヒステリシスコンパレータによれば、スイッチング速度が早くなる。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を図1及び図2に基づいて説明する。図1は、本実施の形態を示す。本実施の形態を示す図1において、被測定信号は、入力端子INを介してCOMP（コンパレータ）3の非反転入力端子（+）に入力され、COMP3の出力信号は、出力端子OUTから出力される。

【0020】電源と接地間には、4つの抵抗 R_{31} 、 R_{32} 、 R_{33} 、 R_{34} が直列に接続されている。抵抗 R_{31} と抵抗 R_{34} とは同一抵抗値を有する。COMP3の反転入力端子（-）には、基準電圧として抵抗 R_{32} と抵抗 R_{33} との接続点Cの電圧 V_c が入力される。この4つの抵抗 $R_{31} \sim R_{34}$ により基準電圧発生手段としての基準電圧発生回路が構成されている。

【0021】抵抗 R_{31} 、 R_{34} の両端には、抵抗 R_{31} 、 R_{34} を短絡するように、夫々、pチャンネルMOS（Metal oxide silicon）形電界効果トランジスタ1（以後、「FET1」と記す）、nチャンネルMOS形電界効果トランジスタ2（以後、「FET2」と記す）が接続されている。FET1、2のゲートは、共にCOMP3の出力端に接続され、COMP3の出力信号がFET1又はFET2のゲートに出力される。この出力信号が短絡信号に相当し、その信号レベルに応じてFET1、2は、互いに逆動作をする。

【0022】このFET1, 2が、夫々、第1の短絡手段、第2の短絡手段に相当する。次に動作を説明する。入力端子INを介して入力された測定信号の信号レベルが低しきい値以下であるとき、COMP3の出力信号の信号レベルはH1となる。この出力信号は、出力端子OUTから出力される一方、FET1, 2にも入力される。これにより、FET1は、ON（導通）し、抵抗R31が短絡される。

【0023】一方、FET2は、FET1とは逆にOFF（非導通）となる。従って、電源と接地間の抵抗は、R32～R34となり、COMP3のしきい値となる基準電圧は、次式で表される高しきい値VthHとなって安定状態となる。

$$V_{thH} = V_{cc} \times (R_{33} + R_{34}) / (R_{32} + R_{33} + R_{34})$$

$$I_{ccH} = V_{cc} / (R_{32} + R_{33} + R_{34})$$

但し、Vcc：電源電圧

IccH：高しきい値VthH時の消費電流

R32～R34：抵抗R32～R34の抵抗値

次に被測定信号の信号レベルが高しきい値以上に変化したとき、COMP3の出力信号はLoレベルとなり、FET1はOFFとなり、FET2はONとなる。これにより、抵抗R34が短絡され、COMP3の基準電圧は、次式で表される低しきい値VthLとなって安定状態となる。

$$V_{thL} = V_{cc} \times R_{33} / (R_{31} + R_{32} + R_{33})$$

$$I_{ccL} = V_{cc} / (R_{31} + R_{32} + R_{33})$$

但し、IccL：低しきい値VthL時の消費電流

R31：抵抗R31の抵抗値

ここで、抵抗R31と抵抗R34とは同一抵抗値を有しているから、消費電流IccHとIccLとは等しくなり、次式で示すようになる。

$$I_{ccH} = I_{ccL} = V_{cc} / (R_{31} + R_{32} + R)$$

但し、R=R31=R34

また、ヒステリシス回路がない場合の消費電流Iref、ヒステリシス発生前後に於ける消費電流増加分Ihysは次式によって表される。

$$I_{ref} = V_{cc} / (R_{32} + R_{33} + R)$$

（ヒステリシスを持たせない場合は、R31又はR34は不

用となる）

$$I_{hys} = I_{ccH} - I_{ref} = 0 \quad (\text{COMP出力Hi時})$$

$$I_{hys} = I_{ccH} - I_{ref} = 0 \quad (\text{COMP出力Lo時})$$

従って、基準電圧発生回路に於ける消費電流Iccは、図2に示すように一定に保持される。

【0026】次に、ヒステリシス幅Vhysは、次式によって表される。

$$V_{hys} = V_{thH} - V_{thL} = (R / (R_{32} + R_{33} + R)) \times V_{cc}$$

従って、抵抗R31と抵抗R34との抵抗値を高くすればヒステリシス幅Vhysも大きくなる。かかる構成によれば、COMP3の出力に応じて互いに逆動作をする短絡用のFET1, 2を、夫々、基準電圧発生回路の電源側抵抗R31、接地側抵抗R34の両端に接続してヒステリシスを発生させるようにしたので、ヒステリシスを発生させるための電流を必要とせず、また、ヒステリシス発生に伴う抵抗値の大きな変化もないので、低消費電力化を図ることができる。さらに、ヒステリシス幅が増加しても消費電流の増加を無視することが出来る。

【0027】従って、電源に乾電池、バッテリー等を使用するために消費電流を抑えることを必要とする集積回路に於いて極めて効果的である。また、短絡される抵抗R31と抵抗R34との抵抗値を同一とすることにより、基準電圧発生回路に於ける消費電流Iccを一定に保持することが出来る。尚、本実施の形態では、分圧抵抗の短絡手段として、FETを用いたが、これに限らず、例えばバイポーラトランジスタ等を用いることもできる。

【図面の簡単な説明】

【図1】本発明の実施の形態を示す回路図。

【図2】図1の動作を示すタイミングチャート。

【図3】従来のヒステリシスコンパレータの回路図。

【図4】図3の動作を示すタイミングチャート。

【図5】従来の別のヒステリシスコンパレータの回路図。

【図6】図4の動作を示すタイミングチャート。

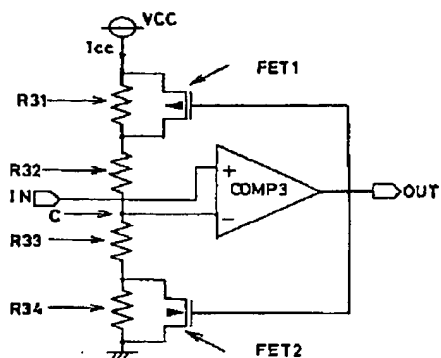
【符号の説明】

COMP3 コンパレータ

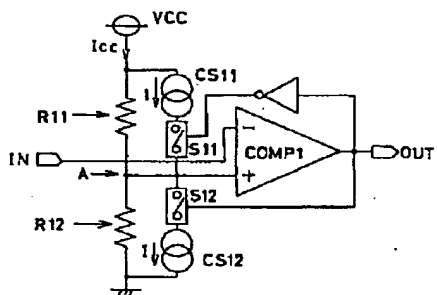
FET1 pチャンネルMOS形電界効果トランジスタ

FET2 nチャンネルMOS形電界効果トランジスタ

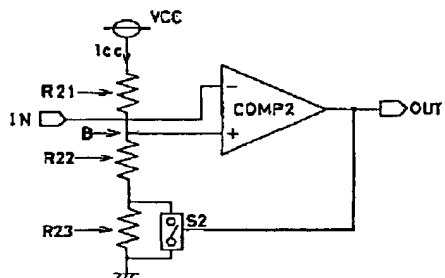
【图1】



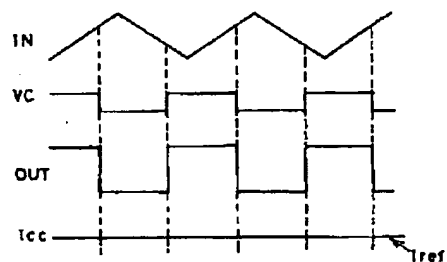
【图3】



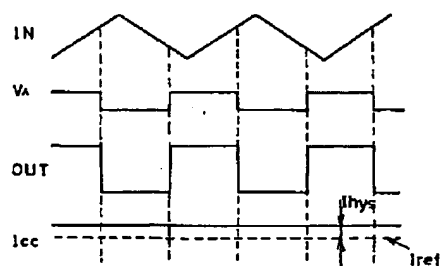
【图5】



【图2】



【图4】



【图6】

